

1/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

008486340 \*\*Image available\*\*

WPI Acc No: 1990-373340/ 199050

Semiconductor IC device with silicide FETs - has FET output circuit with  
region not including silicide formed around drain and source of output

FET NoAbstract Dwg 1/1

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2271673	A	19901106	JP 8994102	A	19890413	199050 B

Priority Applications (No Type Date): JP 8994102 A 19890413

Title Terms: SEMICONDUCTOR; IC; DEVICE; SILICIDE; FET; FET; OUTPUT; CIRCUIT  
; REGION; SILICIDE; FORMING; DRAIN; SOURCE; OUTPUT; FET; NOABSTRACT

Derwent Class: U11; U12; U13

International Patent Class (Additional): H01L-027/08; H01L-029/78

File Segment: EPI

1/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

03296173 \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.: 02-271673 [ JP 2271673 A]

PUBLISHED: November 06, 1990 (19901106)

INVENTOR(s): GOTO MAKIO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
, JP (Japan)

APPL. NO.: 01-094102 [JP 8994102]

FILED: April 13, 1989 (19890413)

INTL CLASS: [5] H01L-029/784; H01L-027/088

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 1026, Vol. 15, No. 29, Pg. 3, January  
23, 1991 (19910123)

#### ABSTRACT

PURPOSE: To improve the resistance to static electricity and to provide a high quality integrated circuit by providing a region, where no silicide is formed, on both sides of a drain and a source of an output transistor Tr of the integrated circuit.

CONSTITUTION: There are provided separate regions I and II as shown by a broken line, the region II indicating an internal Tr and the region I an output part Tr. An evidenced from the figure, although in the region II a source-drain region 107 is wholly covered with Ti silicide 108, in the region I the source-drain region 107 includes a region where no Ti silicide 108 is provided. Hereby, satisfactory resistance is provided between a wiring material and a source-drain end, presenting a very strong structure a very strong structure against static electricity.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2773220号

(45) 発行日 平成10年(1998) 7 月 9 日

(24) 登録日 平成10年(1998) 4 月 24 日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 K

請求項の数 1 (全 3 頁)

(21) 出願番号 特願平1-94102  
(22) 出願日 平成1年(1989) 4 月 13 日  
(65) 公開番号 特開平2-271673  
(43) 公開日 平成2年(1990) 11 月 6 日  
審査請求日 平成8年(1996) 4 月 11 日

(73) 特許権者 999999999  
セイコーエプソン株式会社  
東京都新宿区西新宿 2 丁目 4 番 1 号  
(72) 発明者 後藤 万亀雄  
長野県諏訪市大和 3 丁目 3 番 5 号 セイ  
コーエプソン株式会社内  
(74) 代理人 弁理士 鈴木 喜三郎 (外 1 名)

審査官 岡 和久

(56) 参考文献 特開 昭61-43464 (J P, A)  
特開 昭55-65470 (J P, A)  
特開 平2-273971 (J P, A)

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項 1】ソース層およびドレイン層の表面にシリサイドが設置されたトランジスタを複数有する半導体装置であって、  
前記複数のトランジスタのうち出力トランジスタは、  
ソース層およびドレイン層と、前記ソース層に接続される配線材と、前記ドレイン層に接続される配線材と、を有し、  
前記ソース層に接続される配線材および前記ドレイン層に接続される配線材は、それぞれ前記シリサイドを介して前記ソース層およびドレイン層に接続され、  
前記ソース層に接続される配線材と前記ゲート電極側の前記ソース層端の間および前記ドレイン層に接続される配線材と前記ゲート電極側の前記ドレイン層端の間の前記ソース層および前記ドレイン層表面には、チャンネル幅

2

方向全面にわたってシリサイドが設置されない領域があることを特徴とする半導体装置。

【発明の詳細な説明】

【産業上の利用分野】

本発明は半導体装置、詳しくはシリサイドTrを多数具備した集積回路の出力部の構造に関する。

【従来の技術】

近年、半導体素子の微細化に伴い、ソース・ドレイン領域を形成する不純物拡散層を極めて浅く作りこむ必要が出た。ところが不純物拡散層を浅くすることは、ソース・ドレイン領域の高抵抗化につながり、Trの電流駆動能力を著しく劣化させる原因となる。このような問題を解決するために、ソース・ドレイン及びゲート電極上に選択的にシリサイドを形成し、前述したソース・ドレイン領域の抵抗を極めて低くした、いわゆるシリサイ

ド構造のTrが提案された。

〔発明が解決しようとする課題〕

しかし、前述の従来技術、つまりサリサイドTrは、静電気に対して極めて弱いという課題を有する。

一般に、集積回路の静電気耐性は、入出力部の静電気に対する強さで決定される。入力部は保護抵抗等の手段により静電保護が行われるが、出力部は通常、静電保護は行われない。

出力Trの静電気に対する強さは、配線材からソース、ドレイン端（ゲート電極側）までの抵抗により決定される。（この抵抗が小さいと、静電破壊を起こし易い。）

サリサイドTrはソース・ドレイン抵抗を極端に下げるために、静電気には弱くなる。

本発明は、このような課題を解決するもので、その目的は、サリサイドTrを具備した集積回路の静電気耐性を改善し、高品質な集積回路を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、ソース層およびドレイン層の表面にシリサイドが設置されたトランジスタを複数有する半導体装置であって、前記複数のトランジスタのうち出力トランジスタは、ソース層およびドレイン層と、前記ソース層に接続される配線材と、前記ドレイン層に接続される配線材と、を有し、前記ソース層に接続される配線材および前記ドレイン層に接続される配線材は、それぞれ前記シリサイドを介して前記ソース層およびドレイン層に接続され、前記ソース層に接続される配線材と前記ゲート電極側の前記ソース層端の間および前記ドレイン層に接続される配線材と前記ゲート電極側の前記ドレイン層端の間の前記ソース層および前記ドレイン層表面には、チャンネル幅方向全面にわたってシリサイドが設置されない領域があることを特徴とする。

〔実施例〕

以下図面に基づき、本発明の実施例を詳細に説明する。

第1図(a)は、本発明による半導体装置を表わす断面図、第1図(b)は平面図であって、101はP型Si基板、102は素子分離用酸化膜、103はゲート酸化膜、104は高濃度リンがドーパされた多結晶Siからなるゲート電極、105は低濃度n型不純物拡散層、106はサイドウォールスペーサー、107は高濃度不純物拡散層（ソース・ドレイン）、108はTiシリサイド、109は層間絶縁用酸化膜、110は配線材料用Alである。

尚、第1図は破線で示したように領域(I)と領域(II)に分離される。領域(II)は内部のTrを表わし、領域(I)は出力部のTrを表わす。図で明かなように領域(II)はソース・ドレイン領域107上はすべてTiシリサイド108によりおおわれているが、領域(I)にはソース・ドレイン領域107上にTiシリサイド108が設けら

れていない領域を有する。

次に本発明の半導体装置の製造方法について、簡単に示す。

1) 101~106は公知の技術を用いて、容易に形成される。106を形成した後に、全面に100~300Åの酸化膜を化学的気相成長法で形成する。

2) AsあるいはP等の高濃度N型不純物をイオン注入し、電気炉あるいはハロゲンランプにてアニールを行い、ソース・ドレイン領域107を形成する。

3) フォトリソパターンを用い、前記領域(I)のソース・ドレイン領域の一部を残して前記100~300Åの酸化膜を希HFでエッチング除去する。

4) 全面にTiを400~600Åスパッタ法で形成した後に、ハロゲンランプを用い700°C前後でアニールを行う。この時、ゲート電極104上、及びソース・ドレイン領域107上にはTiシリサイドが形成されるが、領域(I)では、ソース・ドレイン領域の一部に100~300Åの酸化膜を残した部分にはTiシリサイドは形成されない。

また、前記素子分離用酸化膜102上、サイドウォールスペーサー106上にもTiシリサイドは形成されない。

5) 過酸化水素・アンモニアの水溶液を用いて前記未反応のTiを選択除去する。

6) 再びハロゲンランプを用い、800°C前後の温度でアニールを行った後に、化学的気相成長法で層間絶縁用酸化膜109を形成し、コンタクトホール形成後、配線材料用Al110をスパッタ法で形成しパターニングを行うことで本発明の半導体装置は完成する。

〔発明の効果〕

以上述べたように、本発明によれば、配線材とゲート電極側のソース・ドレイン端部との間に、チャンネル幅方向全面にわたってシリサイドを設置しない領域を設けることにより、配線材からゲート電極側のソース・ドレイン端の間に、一様な抵抗を得られ、静電気に対して極めて強い半導体装置を提供できるという効果を有する。

〔図面の簡単な説明〕

第1図(a)は本発明の半導体装置の断面図を示し、第1図(b)は本発明の半導体装置の平面図を示す。

101……P型Si基板

102……素子分離用酸化膜

103……ゲート酸化膜

104……ゲート電極

105……低濃度不純物拡散層

106……サイドウォールスペーサー

107……高濃度不純物拡散層

108……Tiシリサイド

109……層間絶縁用酸化膜

110……配線材料用Al

A cross-sectional view of a semiconductor device. A central channel region (101) is shown, flanked by side regions (102). The channel region contains a central layer (103) and is surrounded by a material (104). The side regions (102) contain a material (105) and are surrounded by a material (106). The device is divided into two sections, (I) and (II), by a vertical dashed line. The channel region (101) is labeled with 101, 103, 104, 105, 106, 107, 108, 109, 110, and 111. The side regions (102) are labeled with 102, 103, 104, 105, 106, 107, 108, 109, 110, and 111. The device is labeled with 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, and 111.